⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2−274121

⑤Int.Cl.⁵　識別記号　庁内整理番号　⑬公開　平成2年(1990)11月8日
H 03 K 5/13　7631−5J

審査請求　未請求　請求項の数 1　(全2頁)

⑭発明の名称　CMOS遅延回路

⑳特　願　平1−97932
㉒出　願　平1(1989)4月17日

㉑発明者　谷　津　守　東京都港区芝5丁目33番1号　日本電気株式会社内
㉑出願人　日本電気株式会社　東京都港区芝5丁目7番1号
㉔代理人　弁理士　内原　晋

明　細　書

1. 発明の名称

CMOS遅延回路

2. 特許請求の範囲

二つのCMOSインバータの間に直列抵抗とMOSキャパシタの積分回路を有するCMOS遅延回路において、前記直列抵抗に複数のトランスファーゲートを並列に設けたことを特徴とするCMOS遅延回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、CMOS遅延回路に関する。

〔従来の技術〕

MOS集積回路の遅延回路は、回路機能に要求されるタイミングを実現するものとして、一般にCMOSトランジスタとMOSキャパシタといった遅延素子によって構成されている。

第2図は従来のCMOS遅延回路の一例の回路図である。

入力信号 S_1 を受ける入力端子 T_1 を入力としたCMOSインバータ2の出力信号 S_2 は直列抵抗3とMOSキャパシタ8との節点Nを介して次段のCMOSインバータ9の入力に信号 S_N を入力しこのCMOSインバータ9の出力信号 S_0 が出力端子 T_0 に供給されている。

この回路の遅延時間 τ は、CMOSインバータ2のチャネル幅，チャネル長，直列抵抗3の値Rおよび MOSキャパシタ8の容量Cによって決定される。

〔発明が解決しようとする課題〕

しかし、上述した従来のCMOS遅延回路の遅延時間は、直列抵抗，MOSキャパシタおよびCMOSインバータによってある一定の決まった値となるので、回路設計上微妙なタイミングが要求されて、遅延時間の調整が必要になる場合に、調整が不可能であるという欠点があった。

本発明の目的は、簡単でしかも微妙な遅延時間

の調整が可能な遅延回路を提供することにある。

〔課題を解決するための手段〕

本発明のCMOS遅延回路は、二つのCMOSインバータの間に直列抵抗とMOSキャパシタの積分回路を有するCMOS遅延回路において、前記直列抵抗に複数のトランスファーゲートを並列に設けて構成されている。

〔実施例〕

第1図は本発明の一実施例回路図である。

CMOS遅延回路は、第2図の直列抵抗3に、n個のトランスファーゲート 4_1～4_n を並列接続したことが異る点以外は、従来の遅延回路と同一である。

以下に、CMOS遅延回路の動作を具体的に説明する。

例えば直列抵抗3の抵抗値およびトランスファーゲート 4_1～4_n の抵抗値をすべてRとする。

全てのトランスファーゲート 4_1～4_n をオフ状態した場合、すなわち合成抵抗 R_T がRの場合の遅延時間を τ_0 とすれば、トランスファーゲートのうちのいずれか1個だけをオン状態にした場合の信号 S_1 ~~が対する~~ の遅延時間 τ_1 は $(\tau_0/2)$ となる。

一般に、n個中i個のトランスファーゲートをオン状態にしたときの合成抵抗 R_{Ti} は第(1)式に、その時の遅延時間 τ_i は第(2)式に表わすことができる。

$$R_{Ti} = R\{1/(i+1)\} \quad \cdots\cdots(1)$$

$$\tau_i = R_{Ti} \cdot C = CR\{1/(i+1)\}$$

$$= \tau_0/(i+1) \quad \cdots\cdots(2)$$

従って、トランスファーゲート 4_1～4_n のオンの数を制御して遅延時間をより微細ステップに調整できるという利点がある。

なお、トランスファーゲートの各抵抗値がRの値と異って設定してもよい。

〔発明の効果〕

以上説明したように本発明は、遅延時間を決める直列抵抗に対して並列にあるオン抵抗値を持ったn個のトランスファーゲートを挿入することにより、遅延時間を要求される値に調整することが可能となる。

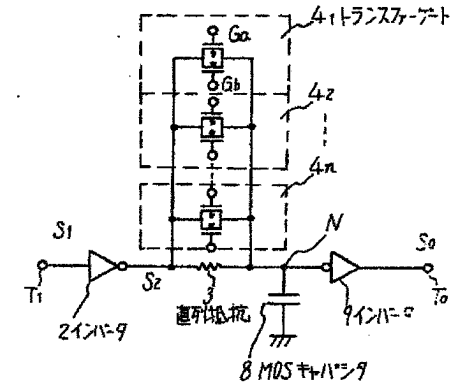
さらに、n個のトランスファーゲートのオン抵抗値をそれぞれ適切な値に設定することにより、もっと微細な遅延時間の調整が可能となる。

4. 図面の簡単な説明

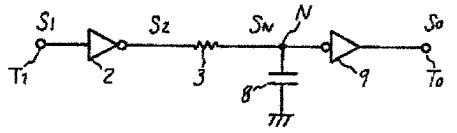
第1図は本発明の一実施例の回路図、第2図は従来のCMOS遅延回路の一例の回路図である。

2…CMOSインバータ回路、3…直列抵抗、4_1～4_n…トランスファーゲート、8…MOSキャパシタ、9…CMOSインバータ回路、T_1…入力端子、T_0…出力端子。

代理人　弁理士　内原　晋



第1図



第2図